

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332245  
 (43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H01L 29/78  
 H01L 21/336  
 H01L 21/31  
 H01L 21/316  
 H01L 21/8234  
 H01L 27/088  
 H01L 21/8238  
 H01L 27/092

(21)Application number : 11-144706  
 (22)Date of filing : 25.05.1999

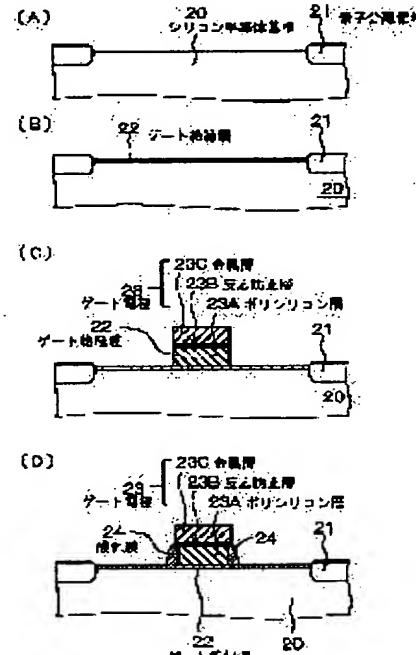
(71)Applicant : SONY CORP  
 (72)Inventor : KATAOKA TOYOTAKA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND MANUFACTURE OF p-TYPE SEMICONDUCTOR ELEMENT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a p-type semiconductor element with which the surface of a polysilicon layer can be oxidized selectively and, in addition, can suppress the threshold voltage fluctuation of a semiconductor element caused by post-oxidation as much as possible, when the post-oxidation is performed on a gate electrode having a polycrystalline structure.

**SOLUTION:** A method for manufacturing a p-type semiconductor element includes (A) a step of forming a gate insulating film 22 on the surface of a semiconductor layer, (B) a step of forming a gate electrode 22 composed of a silicon layer 23A containing a p-type impurity and a metallic layer 23C laminated upon the layer 23A (B), and (C) a step of forming an oxide film 24 on the exposed surface of the silicon layer 23A by exposing the gate electrode 23 to steam and a hydrogen gas produced by heating oxygen gas and the hydrogen gas irradiated with electromagnetic wave, and in addition, suppressing the oxidation of the metallic layer 23C.



### LEGAL STATUS

[Date of request for examination] 17.02.2006  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-332245  
(P2000-332245A)

(43)公開日 平成12年11月30日 (2000.11.30)

(51)Int.Cl.<sup>7</sup>H 01 L 29/78  
21/336  
21/31  
21/316  
21/8234

識別記号

F I

H 01 L 29/78  
21/31  
21/316  
27/083 0 1 P 5 F 0 4 0  
C 5 F 0 4 5  
S 5 F 0 4 8  
1 0 2 C 5 F 0 5 8  
3 2 1 D

テマコト(参考)

審査請求 未請求 請求項の数 8 OL (全 16 頁) 最終頁に続く

(21)出願番号

特願平11-144706

(22)出願日

平成11年5月25日 (1999.5.25)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 片岡 豊隆

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 100094363

弁理士 山本 孝久

最終頁に続く

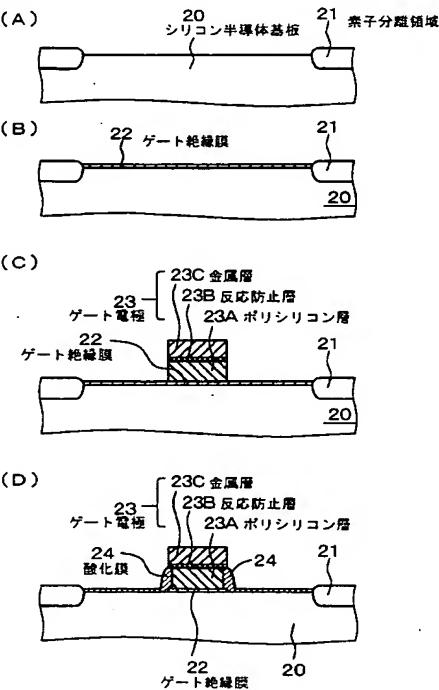
(54)【発明の名称】 半導体装置の製造方法及びp形半導体素子の製造方法

## (57)【要約】

【課題】ポリメタル構造を有するゲート電極に対する後酸化を行うとき、ポリシリコン層の表面を選択的に酸化することができ、しかも、後酸化に起因した半導体素子の閾値電圧の変動を出来る限り抑制し得るp形半導体素子の製造方法を提供する。

【解決手段】p形半導体素子の製造方法は、(A)半導体層20の表面にゲート絶縁膜22を形成する工程と、(B)該ゲート絶縁膜22上に、p形不純物を含むシリコン層23A及び金属層23Cが積層されて成るゲート電極22を形成する工程と、(C)酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスにゲート電極23を晒し、以て、露出したシリコン層23Aに酸化膜24を形成し、且つ、金属層23Cの酸化を抑制する工程を備える。

【図2】



## 【特許請求の範囲】

【請求項1】酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスに、シリコン層及び金属層が積層され、側面にシリコン層が露出した積層体を晒すことを特徴とする半導体装置の製造方法。

【請求項2】金属層はタングステンから成り、積層体はゲート電極であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】露出したシリコン層の表面のみを酸化することを特徴とする請求項1に記載の半導体装置の製造方法。 10

【請求項4】電磁波はマイクロ波であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】(A) 半導体層の表面にゲート絶縁膜を形成する工程と、

(B) 該ゲート絶縁膜上に、p形不純物を含むシリコン層、及び金属層が積層されて成るゲート電極を形成する工程と、

(C) 酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスにゲート電極を晒す工程、を備えることを特徴とするp形半導体素子の製造方法。 20

【請求項6】金属層はタングステンから成ることを特徴とする請求項5に記載のp形半導体素子の製造方法。

【請求項7】露出したシリコン層の表面のみを酸化することを特徴とする請求項5に記載のp形半導体素子の製造方法。

【請求項8】電磁波はマイクロ波であることを特徴とする請求項5に記載のp形半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及びp形半導体素子の製造方法に関する。

## 【0002】

【従来の技術】近年、CMOSトランジスタにおいては、低消費電力化のために低電圧化が図られており、そのために、PMOS半導体素子とNMOS半導体素子に対して、十分に低く、しかも対称な閾値電圧が要求される。このような要求に対応するために、PMOS半導体素子においては、これまでのn形不純物を含むポリシリコン層から構成されたゲート電極に替わり、p形不純物を含むポリシリコン層から構成されたゲート電極が用いられるようになっている。尚、このような構造のCMOSFETは、デュアルゲート構造を有するCMOSFETと呼ばれている。ところが、通常用いられるp形不純物であるボロン原子(B)は、ゲート電極形成後の半導体装置製造工程における各種の熱処理によってゲート電極からゲート絶縁膜を通して、シリコン半導体基板にまで容易に到達し、PMOS半導体素子の閾値電圧を変動させる。このような現象は、低電圧化のためにゲート絶

縁膜を一層薄くした場合、一層顯著に現れる。

【0003】また、近年の半導体素子の微細化による半導体集積回路の高集積化に伴い、ゲート電極等の電極やゲート配線等の配線におけるRC遅延によって半導体素子の動作速度が律速されるといった問題がある。それ故、ゲート電極として、ポリシリコン層単層の代わりに、ポリシリコン層と金属シリサイド層との2層構造(ポリサイド構造)のゲート電極が用いられている。しかしながら、0.25μm世代以降の半導体素子においては、ポリサイド構造を有するゲート電極よりも更に低抵抗のゲート電極が求められており、近年、ポリメタル構造を有するゲート電極が注目を集めている。ここで、ポリメタル構造を有するゲート電極は、ポリシリコン層とタングステン層とが積層された構造を有する。尚、ポリシリコン層とタングステン層との間に、シリコンとタングステンとの反応を防止するために、例えばWNから成る反応防止層が形成されている。

【0004】半導体装置の製造工程においては、ゲート電極を形成した後、半導体素子の特性や信頼性の向上を目的とした後酸化が行われている。ポリシリコン層とタングステンシリサイド(WSi<sub>x</sub>)層とから構成されるポリサイド構造を有するゲート電極においては、通常、タングステンシリサイド層として、化学量論的組成であるX=2.0よりも、Siが過剰なタングステンシリサイド層が用いられる。後酸化工程では、ゲート電極が形成された半導体基板を加熱しながら、半導体基板を酸化性雰囲気に置く。これによって、タングステンシリサイド(WSi<sub>x</sub>)層中の余剰のSiが酸化され、露出したポリシリコン層の表面だけでなく、タングステンシリサイド層の表面にもシリコン酸化膜が形成される。 30

## 【0005】

【発明が解決しようとする課題】一方、後酸化をポリシリコン層とタングステン層とが積層されたポリメタル構造を有するゲート電極に適用した場合、タングステン層が酸化され、WO<sub>3</sub>となる。タングステン層の酸化には大きな体積膨張を伴うので、タングステン層の剥離等が発生し、半導体装置を製造することができなくなるといった問題がある。

【0006】このようなタングステン層の酸化を防止するための方法が、例えば、特開昭60-9166号公報から公知である。この特許公開公報に開示された技術によれば、シリコン半導体基板上にゲート酸化膜を形成し、ゲート酸化膜上に例えばタングステンから成る電極を形成した後、500~1200°Cの温度範囲で、H<sub>2</sub>Oを10ppm~10%含むH<sub>2</sub>キャリアガス中で熱処理を行う。H<sub>2</sub>Oの存在によってゲート酸化膜の膜厚が厚くなり、H<sub>2</sub>ガスの存在によってタングステン層の酸化が防止され、結果としてシリコン半導体基板が選択的に酸化される。

【0007】ポリシリコン層とタングステン層が積層さ

れたポリメタル構造を有するゲート電極にこの特許公開公報に開示された技術を適用した場合、雰囲気温度を80°C以上にする必要がある。ところが、通常用いられるp形不純物であるボロン原子は、この後酸化工程において、ゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで容易に到達し、PMOS半導体素子の閾値電圧を変動させる。しかも、高温の後酸化の雰囲気中には水素ガスが含まれているので、水素による増速拡散が生じ、ボロン原子が一層容易にゲート電極からゲート絶縁膜を通過し、シリコン半導体基板にまで到達する。

【0008】従って、本発明の目的は、例えばポリメタル構造を有するゲート電極に対する半導体素子の特性や信頼性の向上を目的とした後酸化を行うとき、ポリシリコン層の露出面を選択的に酸化することができ、しかも、後酸化に起因した半導体素子の閾値電圧の変動を出来る限り抑制し得る半導体装置の製造方法及びp形半導体素子の製造方法を提供することにある。

#### 【0009】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体装置の製造方法は、酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスに、シリコン層及び金属層が積層され、側面にシリコン層が露出した積層体を晒すことを特徴とする。

【0010】上記の目的を達成するための本発明のp形半導体素子の製造方法は、(A)半導体層の表面にゲート絶縁膜を形成する工程と、(B)該ゲート絶縁膜上に、p形不純物を含むシリコン層、及び金属層が積層されて成るゲート電極を形成する工程と、(C)酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスにゲート電極を晒す工程、を備えることを特徴とする。

【0011】本発明の半導体装置の製造方法若しくはp形半導体素子の製造方法(以下、これらを総称して本発明と呼ぶ場合がある)においては、シリコン層をポリシリコンあるいはアモルファスシリコンから構成することができる。一方、金属層を構成する材料として、タンゲステン(W)、モリブデン(Mo)を挙げることができる。また、本発明の半導体装置の製造方法においては、積層体としてゲート電極を挙げることができる。シリコン層と金属層との間に、シリコン層を構成するシリコン原子と金属層を構成する金属原子との反応を防止するために、例えば、WN、TiN、ZrN、HfNといった各種金属窒化物から成る反応防止層を形成することが好ましい。

【0012】本発明においては、積層体あるいはゲート電極を囲む雰囲気への水蒸気及び水素ガスの供給量、積層体あるいはゲート電極の加熱温度を最適化あるいは制御することによって、露出したシリコン層の表面のみを

酸化することが好ましい。即ち、金属層を酸化させず、シリコン層の表面のみを選択的に酸化することが好ましい。尚、積層体あるいはゲート電極を囲む雰囲気への水蒸気及び水素ガスの供給量、積層体あるいはゲート電極の加熱温度といった条件に依っては、金属層が、実用上問題とならない程度に酸化されることは止むを得ない。

【0013】電磁波として、1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)10を用いることができる。水蒸気及び水素ガスを窒素、アルゴン、ヘリウム、ネオン、クリプトン、キセノンといった不活性ガスにて希釈した雰囲気中に、積層体あるいはゲート電極を晒してもよい。

【0014】本発明において、電磁波を照射すべきガスとして、酸素ガスの代わりに、NO、N<sub>2</sub>Oを用いることもできる。

【0015】本発明の半導体装置の製造方法において、酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気と水素ガスとに積層体を晒すときの積層体の温度、あるいは又、本発明のp形半導体素子の製造方法において、酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気と水素ガスとにゲート電極を晒すときのゲート電極の温度を、p形不純物がこの工程において、シリコン層からゲート絶縁膜を通過し、半導体層にまで到達しないような温度、具体的には、水蒸気がその上で結露しない温度以上、好ましくは200°C乃至600°C、一層好ましくは200°C乃至450°Cとすることが望ましい。

【0016】本発明のp形半導体素子の製造方法において、p形不純物を含むシリコン層(例えばポリシリコン層やアモルファスシリコン層)及び金属層が積層されて成るゲート電極の形成方法として、例えば、p形不純物(例えば、ボロン)を含むシリコン層をCVD法に基づきゲート絶縁膜上に製膜した後、金属層を全面に製膜し、次いで、金属層及びシリコン層をパターニングする方法、不純物を含まないシリコン層をCVD法にてゲート絶縁膜上に形成した後にp形不純物(例えばボロンやBF<sub>2</sub>)をイオン注入法にてシリコン層に注入した後、金属層を全面に製膜し、次いで、金属層及びシリコン層をパターニングする方法を挙げることができる。

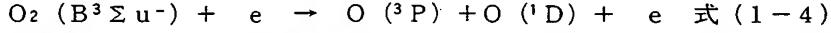
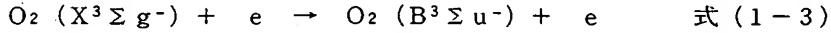
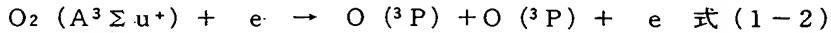
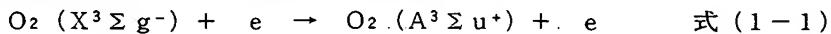
【0017】本発明のp形半導体素子の製造方法においては、前記工程(A)における半導体層の表面にゲート絶縁膜を形成するための酸化種として、乾燥酸素ガス、水蒸気を挙げることができる。水蒸気を生成させる方法を、酸素ガスと水素ガスとを燃焼させる方法(パイロジエニック法)、純水を加熱する方法、酸素ガス又は不活性ガスによって加熱純水をバーリングする方法、触媒(例えば、NiO等のNi系触媒、PtやPtO<sub>2</sub>等のPt系触媒、PdやPdO等のPd系触媒、Ir系触媒、RuやRuO<sub>2</sub>等のRu系触媒、AgやAg<sub>2</sub>O等の

Ag系触媒、Au系触媒、CuO等のCu系触媒、MnO<sub>2</sub>等のMn系触媒、Co<sub>3</sub>O<sub>4</sub>等のCo系触媒)を用いた触媒作用に基づき水素ガスと酸化性ガスとを反応させる方法とすることもできるが、水素ガス及び酸素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射する方法(以下、便宜上、プラズマ酸化法と呼ぶ)、即ち、基板をプラズマ処理装置に搬入した後、水素ガス及び酸素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって水蒸気を生成\*

\*させ、該水蒸気を用いて半導体層を酸化する方法とすることが望ましい。尚、これらの水蒸気の生成方法に基づき半導体層表面にゲート絶縁膜を形成する方法を、総称して加湿酸化法と呼ぶ場合がある。

【0018】マイクロ波放電によって生成した酸素プラズマにおいては、基底状態O<sub>2</sub>(X<sup>3</sup>Σg<sup>-</sup>)は電子の衝突によって励起状態O<sub>2</sub>(A<sup>3</sup>Σu<sup>+</sup>)又はO<sub>2</sub>(B<sup>3</sup>Σu<sup>-</sup>)に励起され、それぞれ、以下の式のように酸素原子に解離する。

#### 【0019】

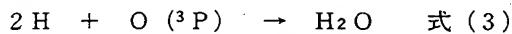


【0020】従って、酸素プラズマ中には励起酸素分子と酸素原子が存在し、これらが反応種となる。ここに水素H<sub>2</sub>を導入すると、以下のようなプラズマが生成する。

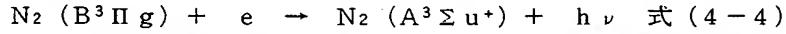
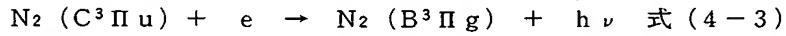
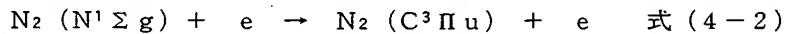
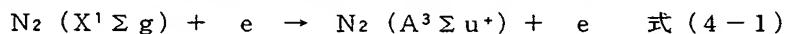


【0022】そして、酸素プラズマの内、例えば式(1-2)で生成した酸素プラズマと式(2)で生成した水素プラズマが反応して、水蒸気が生成する。そして、加熱された積層体の側面、あるいはゲート電極の側面に露出したシリコン層の表面は、かかる水蒸気によって酸化され、その表面に酸化膜が形成される。尚、本発明において、酸素ガス及び水素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって生成した水蒸気は、一部、プラズマ状態となっている。

#### 【0023】



【0024】本発明のp形半導体素子の製造方法にあっては、工程(A)にて半導体層の表面にゲート絶縁膜を形成する工程に、ゲート絶縁膜の窒化処理工程を含めることができる。この窒化処理工程は、窒素系ガスに電磁波を照射することによって生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンによりゲート絶縁膜の表面を窒化する工程(便宜上、プラズマ窒化処理と呼ぶ)から成ることが好ましい。電磁波を照射すべき窒素系ガスとして、窒素ガス(N<sub>2</sub>ガス)\*



【0027】このように、プラズマ窒化処理を行うことによって、ゲート絶縁膜の表面を窒化することができ、しかも、熱窒化法のように高い温度で窒化処理を行う必要が無く、例えば常温でゲート絶縁膜の表面を窒化する窒化処理を行うことができるので、熱窒化法による窒素原子のゲート絶縁膜中の導入における問題、即ち、シ

※ス)の他、NO、N<sub>2</sub>O、NO<sub>2</sub>等、窒素原子と酸素原子の化合物であるガスを例示することができる。即ち、窒素系ガスを、N<sub>2</sub>、NO、N<sub>2</sub>O及びNO<sub>2</sub>から成る群から選択された少なくとも一種類のガスとすることができる。窒素系ガスは、これらのガスを少なくとも2種類、混合したガスであってもよい。ゲート絶縁膜の表面に窒化処理を施した後に加熱処理を施すことが、ゲート絶縁膜に生じたダメージの緩和を図る上で好ましい。加熱処理は、窒素ガス等の不活性ガス雰囲気で行うことが望ましく、加熱処理温度として800°C乃至1200°C、加熱処理時間として10秒乃至1時間を例示することができる。

【0025】窒素系ガスとして窒素(N<sub>2</sub>)ガスを用いる場合、窒素(N<sub>2</sub>)は、マイクロ波によるプラズマ内で、例えば、以下の式のように励起される。即ち、プラズマ中に存在する電子が励起され、これと窒素分子との非弾性衝突により励起された窒素分子及び窒素分子イオンが生成される。これらの励起された窒素分子及び窒素分子イオンがゲート絶縁膜の表面の半導体層を主に構成する原子と酸素原子との結合(例えば、半導体層を主に構成する原子がSiの場合、Si-O結合)を切断して、窒化酸化物(例えば、Si-O-N結合)が形成され、ゲート絶縁膜の表面が窒化される。ゲート絶縁膜の表面の組成は、半導体層を主に構成する原子がSiの場合、Si-O<sub>x</sub>N<sub>y</sub>で表される。

#### 【0026】

リコン半導体基板に窒素が侵入することによる電流駆動能力の低下等の半導体素子特性への悪影響がない。更には、窒化処理によってシリコン層に含まれるボロン原子がゲート絶縁膜を通過して半導体層にまで到達し、p形半導体素子の閾値電圧が変動するといった現象を一層確実に回避することができる。

【0028】シリコン半導体基板を基にしてMOS型半導体装置を製造する場合、従来、ゲート絶縁膜を形成する前に、NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>水溶液で洗浄し更にHCl/H<sub>2</sub>O<sub>2</sub>水溶液で洗浄するというRCA洗浄によりシリコン半導体基板の表面を洗浄し、その表面から微粒子や金属不純物を除去する。ところで、RCA洗浄を行うと、シリコン半導体基板の表面は洗浄液と反応し、厚さ0.5~1nm程度のシリコン酸化膜が形成される。かかるシリコン酸化膜の膜厚は不均一であり、しかも、このシリコン酸化膜中には洗浄液成分が残留する。そこで、フッ化水素酸水溶液にシリコン半導体基板を浸漬して、かかるシリコン酸化膜を除去し、更に純水で薬液成分を除去する。これによって、大部分が水素で終端され、極一部がフッ素で終端されたシリコン半導体基板の表面を得ることができる。尚、このような工程によって、大部分が水素で終端され、極一部がフッ素で終端されたシリコン半導体基板の表面を得ることを、本明細書では、シリコン半導体基板の表面を露出させると表現する。その後、かかるシリコン半導体基板の表面にゲート絶縁膜を形成する。

【0029】ところで、加湿酸化法に基づきゲート絶縁膜を形成する前の雰囲気を高温の窒素ガス雰囲気とすると、シリコン半導体基板の表面に荒れ（凹凸）が生じる場合がある。このような現象は、フッ化水素酸水溶液及び純水での洗浄によってシリコン半導体基板の表面に形成されたSi-H結合の一部あるいは又Si-F結合の一部が、水素やフッ素の昇温脱離によって失われ、シリコン半導体基板の表面にエッチング現象が生じることに起因すると考えられている。例えば、アルゴンガス中でシリコン半導体基板を600°C以上に昇温するとシリコン半導体基板の表面に激しい凹凸が生じることが、培風館発行、大見忠弘著「ウルトラクリーンULSI技術」、第21頁に記載されている。

【0030】本発明のp形半導体素子の製造方法にあつては、工程(A)において、半導体層の表面から半導体層を主に構成する原子が脱離しない温度に半導体層を保持した状態にて、加湿酸化法によって半導体層の表面にゲート絶縁膜の形成を開始することで、このような半導体層の表面に荒れ（凹凸）が発生するといった現象の発生を回避することが可能である。尚、半導体層の表面から半導体層を主に構成する原子が脱離しない温度は、半導体層表面を終端している原子と半導体層を主に構成する原子との結合が切断されない温度であることが望ましい。半導体層を主に構成する原子がSiである場合、即ち、半導体層がシリコン半導体基板、単結晶シリコン層、ポリシリコン層あるいはアモルファスシリコン層から構成されている場合、半導体層の表面から半導体層を主に構成する原子が脱離しない温度を、半導体層表面のSi-H結合が切断されない温度、あるいは又、半導体層表面のSi-F結合が切断されない温度とすることが

望ましい。面方位が(100)のシリコン半導体基板を半導体層として用いる場合、シリコン半導体基板の表面上における水素原子の大半がシリコン原子の2本の結合手のそれぞれに1つずつ結合しており、H-Si-Hの終端構造を有する。然るに、シリコン半導体基板の表面状態が崩れた部分（例えばステップ形成箇所）には、シリコン原子の1本の結合手のみに水素原子が結合した状態の終端構造、あるいは、シリコン原子の3本の結合手のそれぞれに水素原子が結合した状態の終端構造が存在する。尚、通常、シリコン原子の残りの結合手は結晶内部のシリコン原子と結合している。本明細書における「Si-H結合」という表現には、シリコン原子の2本の結合手のそれぞれに水素原子が結合した状態の終端構造、シリコン原子の1本の結合手のみに水素原子が結合した状態の終端構造、あるいは、シリコン原子の3本の結合手のそれぞれに水素原子が結合した状態の終端構造の全てが含まれる。半導体層の表面にゲート絶縁膜の形成を開始するときの温度は、より具体的には、水蒸気が半導体層上で結露しない温度以上、好ましくは200°C以上、より好ましくは300°C以上とすることが、スループットの面から望ましい。

【0031】尚、工程(A)において、加湿酸化法によってゲート絶縁膜の形成が完了したときの半導体層の温度を、ゲート絶縁膜の形成を開始する際の半導体層の温度よりも高くしてもよい。この場合、ゲート絶縁膜の形成が完了したときの半導体層の温度は、600乃至1200°C、好ましくは700乃至1000°C、更に好ましくは750乃至900°Cであることが望ましいが、このような値に限定するものではない。尚、階段状（ステップ状）に昇温してもよく、あるいは又、連続的に昇温してもよい。

【0032】昇温を階段状にて行う場合、半導体層の表面から半導体層を主に構成する原子が脱離しない温度にて半導体層の表面に加湿酸化法によりゲート絶縁膜の形成を開始した後、所定の期間、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲に半導体層を保持してゲート絶縁膜を形成する第1のゲート絶縁膜形成工程と、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲よりも高い温度にて、加湿酸化法によって所望の厚さになるまでゲート絶縁膜を更に形成する第2のゲート絶縁膜形成工程を含むことが好ましい。第2のゲート絶縁膜形成工程におけるゲート絶縁膜の形成温度は、600乃至1200°C、好ましくは700乃至1000°C、更に好ましくは750乃至900°Cであることが望ましい。尚、第1のゲート絶縁膜形成工程における半導体層の保持温度範囲の上限としては、500°C、好ましくは450°C、より好ましくは400°Cを挙げることができる。第2のゲート絶縁膜形成工程を経た後の最終的なゲート絶縁膜の膜厚は、半導体素子に要求される所定の厚さとすればよ

い。一方、第1のゲート絶縁膜形成工程を経た後のゲート絶縁膜の膜厚は、出来る限り薄いことが好ましい。但し、現在、半導体装置の製造に用いられているシリコン半導体基板の面方位は殆どの場合(100)であり、如何にシリコン半導体基板の表面を平滑化しても(100)シリコンの表面には必ずステップと呼ばれる段差が形成される。このステップは通常シリコン原子1層分であるが、場合によっては2~3層分の段差が形成されることがある。従って、第1のゲート絶縁膜形成工程を経た後のゲート絶縁膜の膜厚は、半導体層として(100)シリコン半導体基板を用いる場合、1nm以上とすることが好ましいが、これに限定するものではない。

【0033】第1のゲート絶縁膜形成工程と第2のゲート絶縁膜形成工程との間に昇温工程を含んでもよい。この場合、昇温工程における雰囲気を、不活性ガス雰囲気若しくは減圧雰囲気とするか、あるいは又、水蒸気を含む酸化性雰囲気とすることが望ましい。ここで、不活性ガスとして、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。尚、昇温工程における雰囲気中の不活性ガス若しくは水蒸気を含むガスには、ハロゲン元素が含有されていてもよい。これによって、第1のゲート絶縁膜形成工程にて形成されたゲート絶縁膜の特性の一層の向上を図ることができる。即ち、半導体層を主に構成する原子がSiの場合、第1のゲート絶縁膜形成工程において生じ得る欠陥であるシリコンダングリングボンド(Si-)やSiOHが昇温工程においてハロゲン元素と反応し、シリコンダングリングボンドが終端にある場合は脱水反応を生じる結果、信頼性劣化因子であるこれらの欠陥が排除される。特に、これらの欠陥の排除は、第1のゲート絶縁膜形成工程において形成された初期のゲート絶縁膜(シリコン酸化膜)に対して効果的である。ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。不活性ガス若しくは水蒸気を含むガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(HCl)、CCl<sub>4</sub>、C<sub>2</sub>HCl<sub>3</sub>、Cl<sub>2</sub>、HBr、NF<sub>3</sub>を挙げることができる。不活性ガス若しくは水蒸気を含むガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス若しくは水蒸気を含むガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。尚、昇温工程における雰囲気を、不活性ガスで希釈された水蒸気を含む雰囲気とすることもできる。

【0034】本発明の方法においては、ゲート絶縁膜の形成中の水蒸気を含む酸化性雰囲気にハロゲン元素を含有させてもよい。これによって、タイムゼロ絶縁破壊

(TZDB)特性及び経時絶縁破壊(TDDDB)特性に優れたゲート絶縁膜を得ることができる。尚、ハロゲン

元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。水蒸気を含むガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(HCl)、CCl<sub>4</sub>、C<sub>2</sub>HCl<sub>3</sub>、Cl<sub>2</sub>、HBr、NF<sub>3</sub>を挙げができる。水蒸気を含むガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、水蒸気を含むガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。

10

【0035】形成されたゲート絶縁膜の特性を一層向上させるために、本発明のp形半導体素子の製造方法において、ゲート絶縁膜の形成後、形成されたゲート絶縁膜に熱処理を施してもよい。

【0036】この場合、熱処理の雰囲気を、ハロゲン元素を含有する不活性ガス雰囲気とすることが望ましい。ハロゲン元素を含有する不活性ガス雰囲気中でゲート絶縁膜を熱処理することによって、タイムゼロ絶縁破壊

20

(TZDB)特性及び経時絶縁破壊(TDDDB)特性に優れたゲート絶縁膜を得ることができる。熱処理における不活性ガスとしては、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。また、ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。不活性ガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素(HCl)、CCl<sub>4</sub>、C<sub>2</sub>HCl<sub>3</sub>、Cl<sub>2</sub>、HBr、NF<sub>3</sub>を挙げができる。不活性ガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、

30

0.001~10容量%、好ましくは0.005~10容量%、更に好ましくは0.02~10容量%である。例えば塩化水素ガスを用いる場合、不活性ガス中の塩化水素ガス含有率は0.02~10容量%であることが望ましい。

【0037】尚、ゲート絶縁膜の形成と熱処理とを同一処理室内で行うことができる。熱処理の温度は、700~1200°C、好ましくは700~1000°C、更に好ましくは700~950°Cである。また、熱処理の時間は、枚葉処理にて行う場合、1~10分とするこ

40

とが好ましく、バッチ式にて行う場合、5~60分、好ましくは10~40分、更に好ましくは20~30分とすることが望ましい。

【0038】熱処理を行う場合、形成されたゲート絶縁膜に熱処理を施す際の雰囲気温度を、ゲート絶縁膜の形成が完了したときの温度よりも高くすることが望ましい。この場合、ゲート絶縁膜の形成が完了した後、処理室内の雰囲気を不活性ガス雰囲気に切り替えた後、熱処理を施すための雰囲気温度まで昇温してもよいし、雰囲気をハロゲン元素を含有する不活性ガス雰囲気に切り替えた後、熱処理を施すための雰囲気温度まで昇温しても

50

よい。ここで、不活性ガスとして、窒素ガス、アルゴンガス、ヘリウムガスを例示することができる。ハロゲン元素として、塩素、臭素、フッ素を挙げることができるが、なかでも塩素であることが望ましい。また、不活性ガス中に含有されるハロゲン元素の形態としては、例えば、塩化水素 ( $\text{HCl}$ )、 $\text{CCl}_4$ 、 $\text{C}_2\text{HCl}_3$ 、 $\text{Cl}_2$ 、 $\text{HBr}$ 、 $\text{NF}_3$ を挙げることができる。不活性ガス中のハロゲン元素の含有率は、分子又は化合物の形態を基準として、0.001~1.0容量%、好ましくは0.005~1.0容量%、更に好ましくは0.02~1.0容量%である。例えば塩化水素ガスを用いる場合、不活性ガス中の塩化水素ガス含有率は0.02~1.0容量%であることが望ましい。

【0039】通常、シリコン半導体基板の表面にゲート絶縁膜を形成する前に、 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ 水溶液で洗浄し更に $\text{HCl}/\text{H}_2\text{O}_2$ 水溶液で洗浄するというRCA洗浄によりシリコン半導体基板の表面を洗浄し、その表面から微粒子や金属不純物を除去した後、フッ化水素酸水溶液及び純水によるシリコン半導体基板の洗浄を行う。ところが、その後、シリコン半導体基板が大気に曝されると、シリコン半導体基板の表面が汚染され、水分や有機物がシリコン半導体基板の表面に付着し、あるいは又、シリコン半導体基板表面のSi原子が水酸基(OH)と結合する虞がある(例えば、文献 "Highly-reliable Gate Oxide Formation for Giga-Scale LSIs by using Closed Wet Cleaning System and Wet Oxidation with Ultra-Dry Unloading", J. Yugami, et al., International Electron Device Meeting Technical Digest 95, pp 855-858 参照)。このような場合、そのままの状態でゲート絶縁膜の形成を開始すると、形成されたゲート絶縁膜中に水分や有機物、あるいは又、例えばSi-OHが取り込まれ、形成されたゲート絶縁膜の特性低下あるいは欠陥部分の発生の原因となり得る。尚、欠陥部分とは、シリコンダングリングボンド(Si-O-)やSi-H結合といった欠陥が含まれるゲート絶縁膜の部分、あるいは又、Si-O-Si結合が応力によって圧縮され若しくはSi-O-Si結合の角度が厚い若しくはバルクのシリコン酸化膜中のSi-O-Si結合の角度と異なるといったSi-O-Si結合が含まれたゲート絶縁膜の部分を意味する。それ故、このような問題の発生を回避するために、本発明のp形半導体素子の製造方法においては、ゲート絶縁膜の形成の前に半導体層表面を洗浄する工程を含み、表面洗浄後の半導体層を大気に曝すことなく(即ち、例えば、半導体層表面の洗浄からゲート絶縁膜形成工程の開始までの雰囲気を不活性ガス雰囲気若しくは真空雰囲気とし)、ゲート絶縁膜の形成を実行することが好ましい。これによって、例えば半導体層としてシリコン半導体基板を用いる場合、大部分が水素で終端され、極一部がフッ素で終端された表面を有するシリコン半導体基板の表面にゲート絶縁膜を形成する

ことができ、形成されたゲート絶縁膜の特性低下あるいは欠陥部分の発生を防止することができる。

【0040】ゲート絶縁膜の形成においてプラズマ酸化法を採用する場合、プラズマ処理装置の処理室内に水素ガス及び酸素ガスを導入するが、この際、水素ガスが処理室内に流入し、系外に流出することによって爆鳴気反応が生じることを防止するために、処理室内に水素ガスを導入する前に酸素ガスを導入することが望ましい。然るに、酸素ガスの処理室内への導入によって半導体層に

10 酸化膜が形成される虞がある。このような酸化膜はドライ酸化膜であり、加湿酸化法によって形成される酸化膜よりも特性が劣っている。このようなドライ酸化膜の形成を確実に防止するためには、例えば、ゲート絶縁膜の形成開始前に、処理室内に窒素ガス等の不活性ガスで希釈した水素ガスを先ず導入し、次いで、処理室内に酸素ガスを導入すればよい。但し、この場合には、爆鳴気反応の発生を確実に防止するために、水素ガスの濃度を、水素ガスが酸素ガスと反応して燃焼しないような濃度、具体的には、空气中での爆轟範囲以下(空気との容量%で表した場合、1.8.3容量%以下)、好ましくは空气中での燃焼範囲以下(空気との容量%で表した場合、4.0容量%以下)、あるいは又、酸素中での爆轟範囲以下(酸素との容量%で表した場合、15.0容量%以下)、好ましくは酸素中での燃焼範囲以下(酸素との容量%で表した場合、4.5容量%以下)となるような濃度とすることが望ましい。

【0041】半導体層としては、シリコン単結晶ウエハといったシリコン半導体基板だけでなく、半導体基板上にエピタキシャルシリコン層、ポリシリコン層、あるいはアモルファスシリコン層、更には、シリコン半導体基板やこれらの層に半導体素子が形成されたもの等、ゲート絶縁膜を形成すべき下地を意味する。半導体層にゲート絶縁膜を形成するとは、半導体基板等の上若しくは上方に形成された半導体層にゲート絶縁膜を形成する場合だけでなく、半導体基板の表面にゲート絶縁膜を形成する場合を含む。尚、シリコン単結晶ウエハは、CZ法、MCZ法、DLCZ法、FZ法等、如何なる方法で作製されたウエハであってもよく、また、予め水素アニールが加えられたものでもよい。また、半導体層はSi-Geから構成されていてもよい。

【0042】本発明においては、酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスに積層体あるいはゲート電極を晒すので、従来の後酸化よりも低い温度でシリコン層を酸化することができる。しかも、雰囲気には水素ガスが含まれているので、金属層が酸化されることを抑制することができる。加えて、従来の後酸化よりも低い温度でシリコン層を酸化することができるので、p形不純物であるボロン原子がこの後酸化工程において、シリコン層からゲート絶縁膜を通過し、半導体層にまで到達することを効果的に抑

制することができる。

【0043】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。

【0044】(実施例1) 本発明の実施に適した枚葉方式のプラズマ処理装置の概念図を図1に示す。このプラズマ処理装置は、処理室10と、半導体層(実施例1においては、シリコン半導体基板20)を載置するステージ11と、処理室10の外部に配設された磁石13と、処理室10の頂部に取り付けられたマイクロ波導波管14と、処理室10の頂部に配設されたガス導入部16A, 16B, 16Cから構成されている。処理室10は、プラズマ生成領域10Aと、プラズマ処理領域10Bから構成されており、ステージ11はプラズマ処理領域10Bに配されている。また、シリコン半導体基板20を加熱するための加熱手段12であるランプがステージ11内に納められている。マイクロ波導波管14にはマグネットロン15が取り付けられ、マグネットロン15によって1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)が生成させられ、マイクロ波導波管14を介してかかるマイクロ波は処理室10のプラズマ生成領域10Aに導入される。更には、ガス導入部16A, 16B, 16Cのそれぞれから処理室10内に水素ガス、酸素ガス、窒素ガスが導入される。また、処理室10の側面に配設されたガス導入部17から処理室10内に不活性ガス(例えば窒素ガス)が導入される。処理室10内に導入された各種のガスは、処理室10の下部に設けられたガス排気部18から系外に排気される。処理室10の外部には処理室10内部が結露しないように処理室10の内部の温度を制御するためのヒータ19が配設されている。

【0045】プラズマ生成領域10Aにおいて、酸素ガス及び水素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって水蒸気を生成させる。水蒸気の一部はプラズマ状態にある。プラズマ処理領域10Bにおいて、かかる水蒸気及び水素ガスに、シリコン層及び金属層が積層され、側面にシリコン層が露出した積層体が晒され、あるいは又、ゲート電極が晒される。

【0046】尚、プラズマ酸化法を採用して半導体層の表面にゲート絶縁膜を形成する場合には、プラズマ生成領域10Aにおいて、水素ガス及び酸素ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって水蒸気を生成させる。また、プラズマ処理領域10Bにおいて、この水蒸気を用いて基板表面の半導体層を酸化する。更には、プラズマ窒化処理を行う場合には、プラズマ生成領域10Aにおいて、窒素系ガスに1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)を照射することによって、励起状態の窒素分子、窒

素分子イオン、窒素原子若しくは窒素原子イオンを生成させる。また、プラズマ処理領域10Bにおいて、半導体層の表面に形成されたゲート絶縁膜の表面を窒化する。

【0047】実施例1においては、半導体層としてシリコン半導体基板を用いた。また、実施例1においては、プラズマ酸化法を採用した。図1に示したプラズマ処理装置を用いた本発明の半導体装置の製造方法及びp形半導体素子の製造方法を、以下、シリコン半導体基板20等の模式的な一部断面図である図2～図4を参照して説明する。

【0048】[工程-100] 先ず、リンをドープした直径8インチのN型シリコンウエハ(CZ法にて作製)であるシリコン半導体基板20に、公知の方法でLOCOS構造を有する素子分離領域21を形成し、次いでウエルイオン注入、チャネルトップイオン注入、閾値調整イオン注入を行う。尚、素子分離領域はトレンチ構造を有していてもよいし、LOCOS構造とトレンチ構造の組み合わせであってもよい。その後、RCA洗浄によりシリコン半導体基板20の表面の微粒子や金属不純物を除去し、次いで、0.1%フッ化水素酸水溶液及び純水によるシリコン半導体基板20の表面洗浄を行い、シリコン半導体基板20の表面を露出させる(図2の(A)参照)。尚、シリコン半導体基板20の表面は大半が水素で終端しており、極一部がフッ素で終端している。

【0049】[工程-110] 次に、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から搬入し、ステージ11に載置した後、ガス導入部17から不活性ガス(例えば窒素ガス)を処理室10内に導入する。そして、加熱手段12によってシリコン半導体基板20を800°Cに加熱する。

【0050】[工程-120] そして、半導体層であるシリコン半導体基板20の表面にゲート絶縁膜22を形成する。即ち、希釆用ガスとしての不活性ガス(例えば窒素ガス)の処理室10内への導入を中断し、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入する。併せて、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波(例えば、2.45GHzのマイクロ波)をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、即ち、水素ガス及び酸素ガスに電磁波を照射することによって、上述の式(1-1)～(1-4)の反応、及び式(2)、式(3)の反応が生じ、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、加熱手段12によって加熱された半導体層(具体的にはシリコン半導体基板20)の表面が酸化される。こうして、半導体層の表面に厚さ2nmのゲート絶縁膜22を形成

することができる（図2の（B）参照）。ゲート絶縁膜22の形成条件を、以下の表1に例示する。

【0051】 [表1]

マイクロ波電力	: 10 kW
マイクロ波周波数	: 2.45 GHz
酸素ガス流量	: 10 SLM
水素ガス流量	: 0.2 SLM
基板温度	: 800°C

【0052】 [工程-130] その後、ゲート絶縁膜22上に、p形不純物を含むシリコン層23A、及び金属層23Cが積層されて成るゲート電極23を形成する。即ち、ゲート絶縁膜22の形成が完了したならば、マグネットロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、シリコン半導体基板20を室温まで冷却し、その後、シリコン半導体基板20をプラズマ処理装置から搬出する。そして、公知のCVD装置にシリコン半導体基板20を搬入する。そして、p形不純物（例えばボロン）を含んだシリコン層23A（実施例1においてはポリシリコン層）をCVD法にて全面に製膜する。次いで、WNから成る反応防止層23B、タンゲステンから成る金属層23Cを順次製膜した後、リソグラフィ技術及びドライエッティング技術に基づき、金属層23C、反応防止層23B及びシリコン層23Aをパターニングする。こうして、図2の（C）に示すゲート電極23、あるいは又、シリコン層23A及び金属層23Cが積層され、側面にシリコン層23Aが露出した積層体を得ることができる。

【0053】 [工程-140] 次に、酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスにゲート電極、あるいは、側面にシリコン層23Aが露出した積層体を晒す。即ち、後酸化工程を実行する。具体的には、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から再び搬入し、ステージ11に載置した後、ガス導入部17から不活性ガス（例えば窒素ガス）を処理室10内に導入する。そして、加熱手段12によってシリコン半導体基板20を400°Cに加熱する。シリコン半導体基板20の温度が安定したならば、希釈用ガスとしての不活性ガス（例えば窒素ガス）の処理室10内への導入を中断し、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入し、ガス導入部16Cから処理室10内にアルゴンガスを導入する。併せて、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、即ち、水素ガス及び酸素ガスに電磁波を照射することによって、上述

の式（1-1）～（1-4）の反応、及び式（2）、式（3）の反応が生じ、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、ゲート電極23の側面に露出したシリコン層23A、あるいは、積層体の側面に露出したシリコン層23Aが酸化され、酸化膜24が形成される（図2の（D）参照）。酸化膜24の形成条件を、以下の表2に例示するが、処理室10内への酸素ガスの供給量よりも水素ガスの供給量の方が8倍、多い。これによって、プラズマ処理領域10Bの雰囲気は水蒸気及び水素ガス雰囲気となる結果、酸化膜24が形成される一方、金属層23Cの酸化を抑制することができ、選択的にシリコン層23Aの酸化を行うことができる。また、基板温度を400°Cとした状態で酸化膜24を形成できるので、シリコン層23Aに含まれたボロン原子がゲート絶縁膜22を通過し、シリコン半導体基板20にまで到達することを効果的に抑制することができる。酸化膜24の形成が完了したならば、マグネットロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、シリコン半導体基板20を室温まで冷却し、その後、シリコン半導体基板20をプラズマ処理装置から搬出する。

【0054】 [表2]

マイクロ波電力	: 1 kW
マイクロ波周波数	: 2.45 GHz
酸素ガス流量	: 0.01 LM
水素ガス流量	: 0.08 SLM
アルゴンガス流量	: 1.91 SLM
基板温度	: 400°C

【0055】 [工程-150] 次に、p形不純物（例えばボロンやBF<sub>2</sub>）をイオン注入法にて半導体層（具体的には、シリコン半導体基板20）に注入して低濃度の不純物領域25を形成した後（図3の（A）参照）、全面に絶縁材料層を形成し、異方性ドライエッティング技術に基づき絶縁材料層をエッティングして、ゲート電極23の側壁にサイドウォール26を形成する（図3の（B）参照）。次いで、シリコン半導体基板20にボロニイオンをイオン注入法にて注入した後、イオン注入された不純物の活性化熱処理を行うことによって、ソース／ドレイン領域27を形成する（図3の（C）参照）。その後、全面に層間絶縁層28をCVD法にて製膜し、ソース／ドレイン領域27の上方の層間絶縁層28に開口部を設け、かかる開口部内を含む層間絶縁層28の上に配線材料層をスパッタ法にて形成し、配線材料層をパターンングすることによって配線29を形成し、図4に模式的な一部断面図を示すp形半導体素子を得ることができる。

【0056】（実施例2）実施例2は、実施例1のp形半導体素子の製造方法の変形である。実施例2が実施例

1と相違する点は、【工程-120】に引き続き、プラズマ窒化処理をゲート絶縁膜22に対して施す点にある。この点を除き、実施例2は実施例1と同様である。

【0057】具体的には、ゲート絶縁膜の形成完了後、マグネットロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、シリコン半導体基板20を室温まで冷却する。次いで、ガス導入部17からの不活性ガスの処理室10内への導入を中止する。その後、ガス導入部16Cから処理室10に、窒素系ガスである窒素ガスを導入する。併せて、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、即ち、窒素ガスに電磁波を照射することによって上述の式(4-1)～(4-4)の反応にて生成した励起状態の窒素分子、窒素分子イオン、窒素原子若しくは窒素原子イオンが処理室10の下方に位置するプラズマ処理領域10Bに到達し、ゲート絶縁膜22の表面が窒化される。プラズマ窒化処理の条件を、以下の表3に示す。尚、シリコン半導体基板の温度を室温にする理由は、窒化処理において窒素原子がシリコン半導体基板内に拡散することを抑制するためである。

#### 【0058】[表3]

マイクロ波電力	: 1 kW
マイクロ波周波数	: 2.45 GHz
窒素ガス流量	: 0.4 SLM
圧力	: 0.16 Pa
基板温度	: 室温 (25°C)

【0059】尚、プラズマ窒化処理を行った後、加熱処理を行ってもよい。具体的には、ガス導入部16Cからの処理室10への窒素ガスの導入を中止し、ガス導入部17から不活性ガスを処理室10内へ導入しながら、加熱手段12によってシリコン半導体基板20を850°Cまで昇温する。そして、シリコン半導体基板20の温度が850°Cに達し、その温度が安定したならば、窒素ガス流量4SLMで5分間、加熱処理を行う。この加熱処理によって、ゲート絶縁膜に生じたダメージの緩和を図ることができる。

【0060】(実施例3)実施例3も、実施例1のp形半導体素子の製造方法の変形である。実施例1においてはシリコン半導体基板20を800°Cに加熱した状態でプラズマ酸化法にてゲート絶縁膜を形成したが、実施例3においては、プラズマ酸化法に基づき、2段階の酸化を行う。即ち、ゲート絶縁膜の形成を、半導体層の表面から半導体層を主に構成する原子が脱離しない温度にて半導体層の表面にゲート絶縁膜の形成を開始した後、所定の期間、半導体層の表面から半導体層を主に構成す

る原子が脱離しない温度範囲に半導体層を保持してゲート絶縁膜を形成する第1のゲート絶縁膜形成工程と、半導体層の表面から半導体層を主に構成する原子が脱離しない温度範囲よりも高い温度にて、所望の厚さになるまでゲート絶縁膜を更に形成する第2のゲート絶縁膜形成工程から構成した。尚、実施例3においても図1に示したプラズマ処理装置を用いる。

【0061】【工程-300】先ず、実施例1の【工程-100】と同様の工程を実行する。

【0062】【工程-310】次に、シリコン半導体基板20を、図1に示したプラズマ処理装置に図示しない扉から搬入し、ステージ11に載置した後、ガス導入部17から不活性ガス（例えば窒素ガス）を処理室10内に導入する。そして、加熱手段12によってシリコン半導体基板20を300°Cに加熱する。尚、この温度においては、半導体層表面のSi-H結合は切断されない。従って、半導体層（実施例3においてはシリコン半導体基板20）の表面に凹凸（荒れ）が生じることがない。

【0063】【工程-320】その後、希釈用ガスとしての不活性ガス（例えば窒素ガス）をガス導入部17から処理室10内に導入しながら、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入する。併せて、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、加熱手段12によって加熱された半導体層（具体的にはシリコン半導体基板20）の表面が酸化される。こうして、半導体層の表面にゲート絶縁膜（実施例3においてはシリコン酸化膜）を形成することができる。ゲート絶縁膜の形成条件を、以下の表4に示す。この第1のゲート絶縁膜形成工程において、厚さ1nmのゲート絶縁膜を形成する。

#### 【0064】[表4]

マイクロ波電力	: 10 kW
マイクロ波周波数	: 2.45 GHz
酸素ガス流量	: 10 SLM
水素ガス流量	: 0.2 SLM
不活性ガス流量	: 10 SLM
基板温度	: 300°C

【0065】【工程-330】その後、マグネットロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中断し、ガス導入部17からの不活性ガスの処理室10内への導入を継続しながら、加熱手段12によってシリコン半導体基板20を800°Cまで昇温する。尚、半導体層の表面に既に薄いゲート絶

緑膜が形成されているので、この昇温工程において半導体層（実施例3においてはシリコン半導体基板20）の表面に凹凸（荒れ）が生じることがない。次いで、再び、ガス導入部16A及びガス導入部16Bから処理室10内に水素ガス及び酸素ガスを導入する。併せて、再び、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した1GHz乃至100GHzのマイクロ波（例えば、2.45GHzのマイクロ波）をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。これによって、水蒸気が生成する。発生した水蒸気は処理室10の下方に位置するプラズマ処理領域10Bに到達し、加熱手段12によって加熱された半導体層（具体的にはシリコン半導体基板20）の表面を更に酸化する。こうして、半導体層の表面に絶厚4nmのゲート絶縁膜を形成する。この第2のゲート絶縁膜形成工程におけるゲート絶縁膜の形成条件を、以下の表5に例示する。

## 【0066】[表5]

マイクロ波電力	: 10 kW
マイクロ波周波数	: 2.45 GHz
酸素ガス流量	: 10 SLM
水素ガス流量	: 0.2 SLM
不活性ガス流量	: 10 SLM
基板温度	: 800°C

【0067】[工程-340] 以降、実施例1の[工程-130]～[工程-150]を実行することによって、あるいは又、実施例2にて説明したプラズマ窒化処理を経た後、実施例1の[工程-130]～[工程-150]を実行することによって、p形半導体素子を得ることができる。

【0068】(実施例4) 実施例4も、実施例1のp形半導体素子の製造方法の変形である。実施例4が実施例1と相違する点は、半導体層の表面にゲート絶縁膜を形成した後、形成されたゲート絶縁膜に加熱処理を施す点にある。以下、実施例4のp形半導体素子の製造方法を説明する。尚、実施例4においても図1に示したプラズマ処理装置を用いる。

【0069】[工程-400] 実施例1の[工程-100]～[工程-120]と同様の工程を実行することによって、半導体層（実施例4においてはシリコン半導体基板20）の表面に厚さ2nmのゲート絶縁膜を形成する。

【0070】[工程-410] その後、マグネットロン15へのマイクロ波電力の供給、処理室10への水素ガス及び酸素ガスの導入を中止し、ガス導入部17からの不活性ガスの処理室10内へ導入しながら、加熱手段12によってシリコン半導体基板20を850°Cまで昇温する。次いで、塩化水素ガスを0.1容量%含有する窒素ガスをガス導入部17から処理室10内に導入し、5分間、加熱処理を行う。これによって、タイムゼロ絶縁

破壊(TZDB)特性及び経時絶縁破壊(TDDDB)特性に優れたゲート絶縁膜を得ることができる。

【0071】[工程-420] その後、ガス導入部17からの塩化水素ガスを0.1容量%含有する窒素ガスの処理室10への導入を中止し、ガス導入部17から不活性ガス（例えば窒素ガス）を処理室10へ導入する。以降、実施例1の[工程-130]～[工程-150]を実行することによって、あるいは又、実施例2にて説明したプラズマ窒化処理を経た後、実施例1の[工程-130]～[工程-150]を実行することによって、p形半導体素子を得ることができる。また、実施例4の加熱処理を、実施例3の2段階のゲート絶縁膜形成工程に加えてもよい。

【0072】(実施例5) 実施例5も実施例1の変形である。実施例5が実施例1と相違する点は、ゲート絶縁膜の形成にパイロジェニック酸化法を採用した点にある。

【0073】パイロジェニック酸化法に基づきシリコン酸化膜を形成するための縦型方式の酸化膜形成装置の概

念図を図5に示す。この縦型方式の酸化膜形成装置は、垂直方向に保持された石英製の二重管構造の酸化炉30（処理室に相当する）と、酸化炉30へ湿式ガス及び／ガスを導入するためのガス導入部32と、酸化炉30から湿式ガス及び／ガスを排気するガス排気部33と、SiCから成る円筒状の均熱管36を介して酸化炉30内を所定の雰囲気温度に保持するためのヒータ34と、基板搬出入部40と、基板搬出入部40へ窒素ガス等の不活性ガスを導入するためのガス導入部41と、基板搬出入部40からガスを排気するガス排気部42と、酸化炉30と基板搬出入部40とを仕切るシャッター35と、シリコン半導体基板20を酸化炉30内に搬入するためのエレベータ機構43から構成されている。エレベータ機構43には、シリコン半導体基板20を載置するための石英ポート44が取り付けられている。また、燃焼室50に供給された水素ガスを酸素ガスと、燃焼室50内で高温にて混合し、燃焼させることによって、湿式ガスを生成させる。かかる湿式ガスは、配管51、ガス流路31及びガス導入部32を介して酸化炉30内に導入される。尚、ガス流路31は、二重管構造の酸化炉30の内壁及び外壁の間に空間に相当する。

【0074】図5に示した縦型方式の酸化膜形成装置を使用した、パイロジェニック酸化法に基づくゲート絶縁膜の形成方法の概要を、以下、説明する。

【0075】[工程-500] 先ず、実施例1の[工程-100]と同様の工程を実行する。

【0076】[工程-510] 配管52、燃焼室50、配管51、ガス流路31及びガス導入部32を介して酸化炉30へ窒素ガスを導入し、酸化炉30内を窒素ガス雰囲気とし、且つ、均熱管36を介してヒータ34によって酸化炉30の雰囲気温度を700°C前後に保持す

る。この状態においては、シャッター35は閉じておく。基板搬出入部40は大気に解放された状態である。そして、基板搬出入部40にシリコン半導体基板20を搬入し、石英ポート44にシリコン半導体基板20を載置する。基板搬出入部40へのシリコン半導体基板20の搬入が完了した後、図示しない扉を閉め、基板搬出入部40にガス導入部41から窒素ガスを導入し、ガス排気部42から排出し、基板搬出入部40内を窒素ガス雰囲気とする。

【0077】 [工程-520] 基板搬出入部40内が十分に窒素ガス雰囲気となった時点で、シャッター35を開き、エレベータ機構43を作動させて石英ポート44を上昇させ、シリコン半導体基板20を酸化炉30内に搬入する。エレベータ機構43が最上昇位置に辿り着くと、石英ポート44の基部によって酸化炉30と基板搬出入部40との間は連通しなくなる。

【0078】 [工程-530] その後、窒素ガス雰囲気の酸化炉30の雰囲気温度を昇温し、800～900°Cとする。そして、配管52、53を介して燃焼室50内に酸素ガス及び水素ガスを供給し、水素ガスを酸素ガスと燃焼室50内で高温にて混合し、燃焼させることによって生成した湿式ガスを、配管51、ガス流路31及びガス導入部32を介して酸化炉30へ導入し、ガス排気部33から排気する。これによって、シリコン半導体基板20の表面にゲート絶縁膜が形成される。尚、燃焼室50内の温度を、例えばヒータ(図示せず)によって700～900°Cに保持する。

【0079】 [工程-540] 所望の厚さのゲート絶縁膜を形成した後、燃焼室50内への酸素ガス及び水素ガスの供給を中止し、次いで、酸化炉30内に窒素ガス等の不活性ガスを導入しながら、酸化炉30の雰囲気温度を700°C前後まで降温し、次いで、エレベータ機構43を動作させて石英ポート44を下降させ、次いで、基板搬出入部40からシリコン半導体基板20を搬出する。

【0080】 [工程-550] 以降、実施例1の[工程-130]～[工程-150]を実行することによって、あるいは又、実施例2にて説明したプラズマ窒化処理を経た後、実施例1の[工程-130]～[工程-150]を実行することによって、p形半導体素子を得ることができる。尚、実施例5のパイロジエニック酸化法に基づき、実施例3にて説明した2段階のゲート絶縁膜形成工程を実行してもよいし、更には、実施例4にて説明した加熱処理を加えてもよい。

【0081】以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例にて説明した各種の条件やプラズマ処理装置の構造は例示であり、適宜変更することができる。

【0082】例えば、実施例3の[工程-330]において、マグネットロン15へのマイクロ波電力の供給、処

理室10への水素ガス及び酸素ガスの導入を中止することなく加熱手段12によってシリコン半導体基板20を800°Cまで昇温してもよい。また、実施例4の[工程-410]において、不活性ガス(例えば窒素ガス)をガス導入部17から処理室10内に導入しつつシリコン半導体基板20の温度を加熱手段12によって850°Cまで昇温したが、その代わりに、例えば塩化水素ガスを0.1容量%含有する不活性ガス(例えば窒素ガス)をガス導入部17から処理室10内に導入しつつ、

10 シリコン半導体基板20の温度を加熱手段12によって850°Cまで昇温してもよい。更には、第1のゲート絶縁膜形成工程、昇温工程、第2のゲート絶縁膜形成工程のそれぞれにおける雰囲気に、例えば塩化水素ガスを含ませてもよい。

【0083】実施例においては、専らシリコン半導体基板の表面に絶縁膜を形成したが、本発明に基づき、基板の上に製膜されたエピタキシャルシリコン層にp形半導体素子を形成することもできるし、基板の上に形成された絶縁層の上に製膜されたポリシリコン層あるいはアモルファスシリコン層等にp形半導体素子を形成することもできる。あるいは又、SOI構造におけるシリコン層にp形半導体素子を形成してもよい。ゲート絶縁膜の形成及び/又はゲート絶縁膜の表面への窒化処理、後酸化は、枚葉方式だけでなく、複数の半導体層を同時に処理するバッチ方式にて行うこともできる。

【0084】実施例において0.1%フッ化水素酸水溶液及び純水により半導体層の表面洗浄を行った後、半導体層をプラズマ処理装置や酸化膜形成装置(以下、これらの装置を総称してプラズマ処理装置等と呼ぶ)に搬入したが、半導体層の表面洗浄からプラズマ処理装置等への搬入までの雰囲気を、不活性ガス(例えば窒素ガス)雰囲気としてもよい。尚、このような雰囲気は、例えば、半導体層の表面洗浄装置の雰囲気を不活性ガス雰囲気とし、且つ、不活性ガスが充填された搬送用ボックス内に半導体層(例えばシリコン半導体基板)を納めてプラズマ処理装置等に搬入する方法や、図6に模式図を示すように、表面洗浄装置、プラズマ処理装置等、搬送路、ローダー及びアンローダーから構成されたクラスター・ツール装置を用い、表面洗浄装置からプラズマ処理装置等までを搬送路で結び、かかる表面洗浄装置、搬送路及びプラズマ処理装置等の雰囲気を不活性ガス雰囲気とする方法によって達成することができる。

【0085】あるいは又、0.1%フッ化水素酸水溶液及び純水により半導体層の表面洗浄を行う代わりに、表6に例示する条件にて、無水フッ化水素ガスを用いた気相洗浄法によって半導体層の表面洗浄を行ってもよい。尚、パーティクルの発生防止のためにメタノールを添加する。あるいは又、表7に例示する条件にて、塩化水素ガスを用いた気相洗浄法によって半導体層の表面洗浄を行ってもよい。尚、半導体層の表面洗浄開始前あるいは

表面洗浄完了後における表面洗浄装置内の雰囲気や搬送路等内の雰囲気は、不活性ガス雰囲気としてもよいし、例えば $1.3 \times 10^{-1}$  Pa ( $10^{-3}$  Torr) 程度の真空雰囲気としてもよい。尚、搬送路等内の雰囲気を真空雰囲気とする場合には、半導体層を搬入する際のプラズマ処理装置等の雰囲気を例えば $1.3 \times 10^{-1}$  Pa ( $10^{-3}$  Torr) 程度の真空雰囲気としておき、半導体層の搬入完了後、プラズマ処理装置等の雰囲気を不活性ガス（例えば窒素ガス）雰囲気とすればよい。

## 【0086】 [表6]

無水フッ化水素ガス	: 300 SCCM
メタノール蒸気	: 80 SCCM
窒素ガス	: 1000 SCCM
圧力	: 0.3 Pa
温度	: 60°C

## 【0087】 [表7]

塩化水素ガス／窒素ガス	: 1 容量%
温度	: 800°C

【0088】これらの方針を採用することによって、ゲート絶縁膜の形成前に半導体層の表面を汚染等の無い状態に保つことができる結果、形成されたゲート絶縁膜中に水分や有機物、あるいは又、例えばSi-OHが取り込まれ、形成されたゲート絶縁膜の特性が低下しあるいは欠陥部分が発生することを、効果的に防ぐことができる。

【0089】先に説明したように、プラズマ酸化法を採用する場合、ゲート絶縁膜の形成において、処理室10内に水素ガス及び酸素ガスを導入するが、この際、水素ガスが処理室10内に流入し、系外に流出することによって爆鳴気反応が生じることを防止するため、且つ、半導体層にドライ酸化膜が形成されることを防止するために、例えば、実施例1の【工程-120】において、ガス導入部17から処理室10内に例えば流量10SLMの希釈用ガスとしての不活性ガス（例えば窒素ガス）を導入しながら、ガス導入部16Aから処理室10内に流量0.2SLMの水素ガスを導入し、その後、例えばガス導入部16Bから処理室10内に例えば流量10SLMの酸素ガスの導入を開始し、希釈用の不活性ガスの処理室10内への導入を中止すればよい。次いで、マグネットロン15にマイクロ波電力を供給し、マグネットロン15にて生成した2.45GHzのマイクロ波をマイクロ波導波管14を介して処理室10のプラズマ生成領域10Aに導入する。このような操作によって、水蒸気生成前の処理室10内における水素ガス濃度は十分に低い値となり、爆鳴気反応が生じることを確実に防止することができ、しかも、ドライ酸化膜の形成を確実に防止することができる。

## 【0090】

【発明の効果】本発明においては、酸素ガス及び水素ガスに電磁波を照射することによって生成した水蒸気及び水素ガスに積層体あるいはゲート電極を晒すので、従来の後酸化よりも低い温度でシリコン層の露出表面を酸化することができる結果、p形不純物であるボロン原子がこの後酸化工程において、シリコン層からゲート絶縁膜を通過し、半導体層にまで到達することを効果的に抑制することができる。しかも、雰囲気には水素ガスが含まれているので、金属層が酸化されることを抑制することができる。

【0091】尚、プラズマ酸化法を採用すれば、本質的に1つのプラズマ処理装置内でゲート絶縁膜の形成と後酸化とを行うことが可能となり、ゲート絶縁膜の形成と後酸化のための装置が1つで済み、装置構成を簡素化することができる。また、プラズマ酸化法を採用すれば、酸化速度が抑制・制御された状態で水蒸気を容易に且つ確実に生成させることができとなり、加湿酸化法によつて薄いゲート絶縁膜を形成することができる。しかも、水蒸気を用いた酸化法によって酸化膜を形成するので、優れた経時絶縁破壊（TDDDB）特性を有する酸化膜を得ることができる。

## 【図面の簡単な説明】

【図1】本発明の方法の実施に適したプラズマ処理装置の概念図である。

【図2】実施例1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図3】図2に引き続き、実施例1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図4】図2に引き続き、実施例1の絶縁膜の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

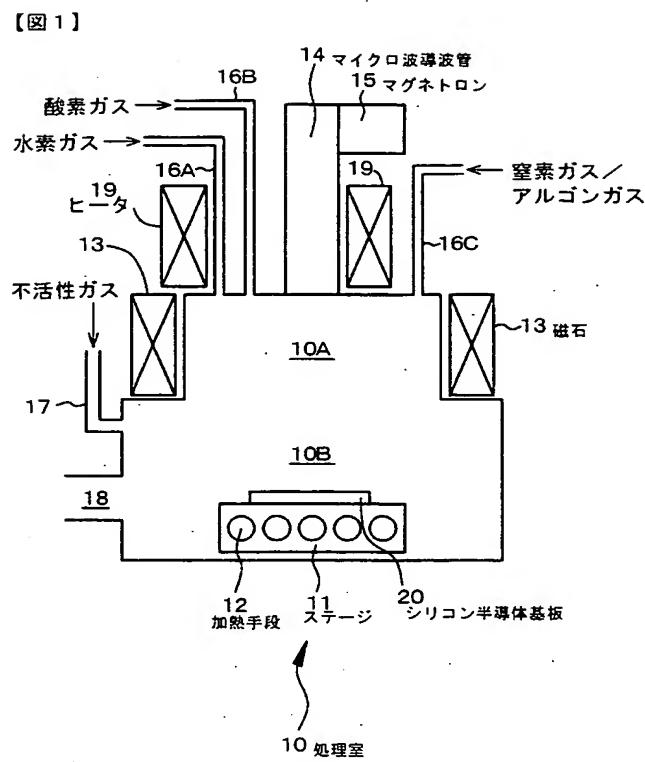
【図5】バイロジエニック酸化法に基づき酸化膜を形成するための縦型方式の酸化膜形成装置の概念図である。

【図6】クラスター・ツール装置の模式図である。

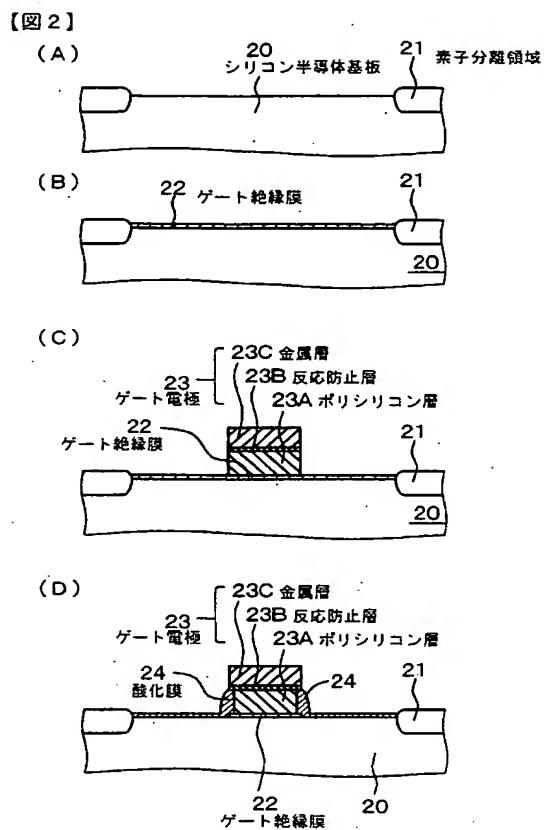
## 【符号の説明】

10 . . . 処理室、 10A . . . プラズマ生成領域、 10B . . . プラズマ処理領域、 11 . . . ステージ、 12 . . . 加熱手段、 13 . . . 磁石、 14 . . . マイクロ波導波管、 15 . . . マグネットロン、 16A, 16B, 16C, 17 . . . ガス導入部、 18 . . . ガス排気部、 19 . . . ヒータ、 20 . . . シリコン半導体基板、 21 . . . 素子分離領域、 22 . . . ゲート絶縁膜、 23 . . . ゲート電極、 23A . . . シリコン層、 23B . . . 反応防止層、 23B . . . 金属層、 24 . . . 酸化膜、 25 . . . 不純物領域、 26 . . . サイドウォール、 27 . . . ソース／ドレイン領域、 28 . . . 層間絶縁層、 29 . . . 配線

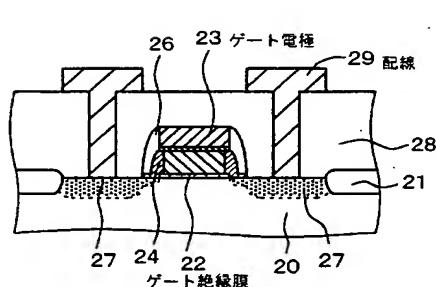
【図1】



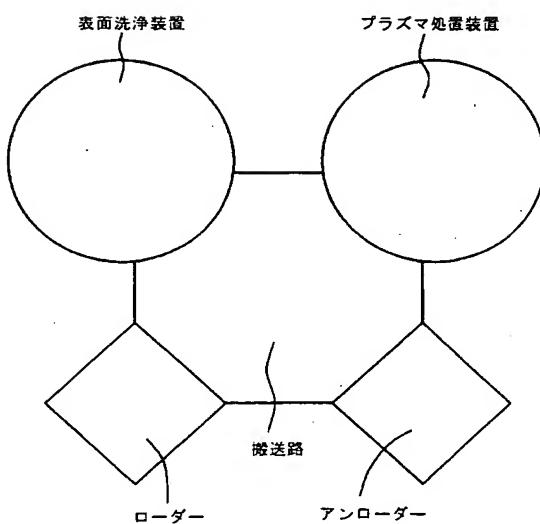
【図2】



【図4】

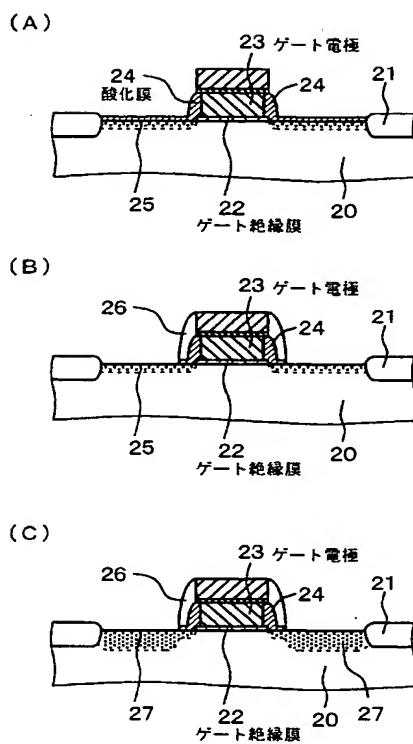


【図6】



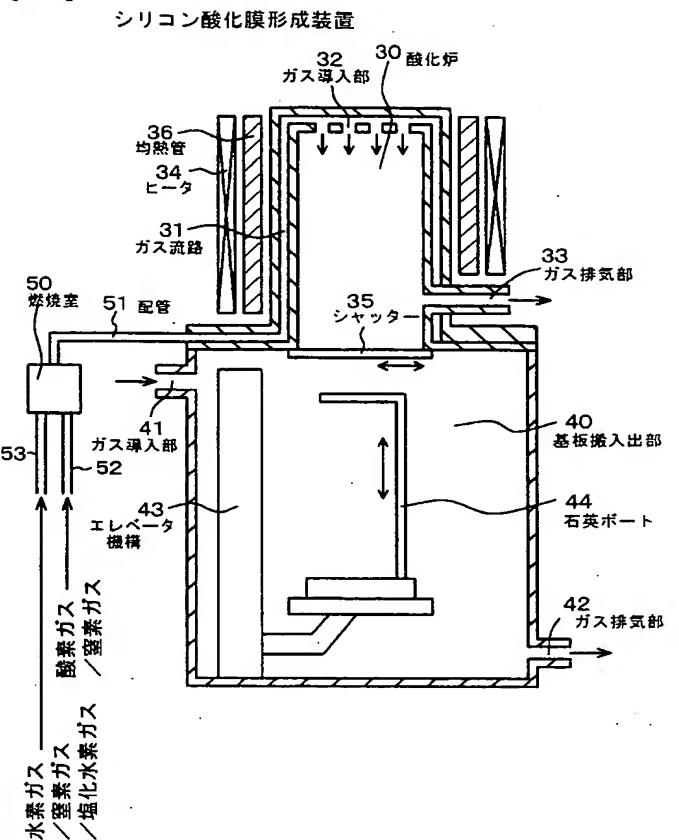
【図3】

【図3】



【図5】

【図5】



フロントページの続き

(51) Int.Cl.7

H 01 L 27/088  
21/8238  
27/092

識別記号

F I

H 01 L 29/78

テマコト(参考)

3 0 1 G

F ターム(参考) 5F040 DA06 DC01 EC02 EC04 EC07  
EC28 ED03 EF02 EF11 EK01  
EK02 FA03 FA05 FA17 FA19  
FB02 FC00 FC04  
5F045 AA09 AA20 AB03 AB04 AB32  
AB40 AC03 AC11 AC13 AD04  
AD07 AD08 AD12 AF03 BB16  
CB05 CB10 DC70 EB13 EE12  
EK14 HA15 HA16  
5F048 AA07 AC03 BB04 BB07 BB09  
BB11 BB13 BG12 DA20 DA25  
5F058 BA20 BC02 BE02 BF29 BF37  
BF63 BF73 BG02 BJ01 BJ02  
BJ03